《计算机组成原理》复习题

2016.1

一、填空题。

1. 流水线中的相关可以分为 结构 相关、 数据 相关、 控制 相关。

2. 五段流水线的指令执行步骤分别是

取指令(IF)、 译码（ID 、 执行（EXE） 、访存（MEM) 、 写回 WB 。

3. 程序局部性原理包括 时间 局部性和 空间 局部性。

4. I/O通道的类型分别是 字节多路通道 、 选择通道 、 数组多路通道 。

5. Cache的缺失种类有： 必然缺失 、 容量缺失 、 冲突缺失 、无效缺失。

6. 16位的THINPAD教学计算机的编址方式为 ，主存大小为 （考虑16位地址空间，每个地址空间访问16位数据），与终端使用 行接口通信，采用 输入输出方式。

7. 页式存储，在 中设置 进行虚实转换。

8. ALU是通过 组合 逻辑电路实现的，其功能是 完成算数运算和逻辑运算 。

9. Von Neumann机中 指令 和 数据 均以二进制形式存放在存储器中。

**10.** 在五级流水线中，有以下三条MIPS-16E指令：ADDU R1 R2 R1，ADDU R1 R3 R2，ADDIU R3 2。若不加入转发电路，则需要插入 个气泡，如果加入转发电路需要 个气泡。本题中的三条指令使用了 和 的寻址方式。

思考：若本题采用四级流水线（无访存段）呢？

二、选择题。

1. 以下哪个不是Von Neumann结构

A. ENIAC B. IBM 360 C. PDP-1 D. Pentium

2. 布斯乘法中，是根据控制位和最低位的组合来判断功能的，若组合为01时，应该运算部分积

A. +0 B. +[x]补 C. -[x]补 D. +[2x]补

3. 不可用于解决控制冲突的是

A. 插入等待 B. 延迟槽 C. 数据转发 D. 分支预测

4. 假定不采用Cache和指令预取技术，且机器处于开中断状态，则在下列有关指令执行的叙述中，错误的是

A. 每个指令周期中CPU都至少访问内存一次

B. 每个指令周期一定大于或等于一个CPU时钟周期

C. 空操作指令的指令周期中任何寄存器的内容都不会被改变

D. 当前程序在每条指令执行结束时都可能被外部中断打断

5. 下列关于 USB 总线特性的描述中，错误的是

A. 可实现外设的即插即用和热拔插

B. 可通过级联方式连接多台外设

C. 是一种通信总线，连接不同外设

D. 有2根数据线，可同时传输 2 位数据，数据传输率高

6. 响应中断的流程包含

I. 存储PC II. 保存所有通用寄存器 III. 恢复PC

A. 仅I, III B.仅 I, II C. I, II, III D. 都不

7. 一台有完整的层次储存器的MIPS计算机，LW指令访存的最少次数为

A. 0 B.1 C. 2 D. 3

8. Von Neumann机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是

A. 指令操作码的译码结果

B. 指令和数据的寻址方式

C. 指令周期的不同阶段

D. 指令和数据所在的存储单元

9. 直接映射Cache中，命中率最高的算法是

A. FIFO B. LRU C. RAND D. 都不对

10. 五个中断，响应优先级为0>1>2>3>4，处理优先级为4>0>2>1>3，问1的中断屏蔽字（顺序为43210）

A. 11110 B. 01101 C. 00011 D. 01010

11. 下列关于RISC的说法错误的是

A. 寻址简单 B. 指令格式规范 C. 指令功能简单 D. 一般采用微程序实现

12. 设计一个字长16位，容量为32KW的内存，需要用几片2K × 8 bit的存储芯片

A. 16 B. 32 C. 64 D. 128

13. 计算机的最小功能单元是

A. 字节 B. 程序 C. 微操作 D. 指令

14. 下列关于Cache与TLB的描述中，哪个说法是错误的

A. TLB与Cache中保存的数据是不同的

B. TLB 缺失之后，有可能直接在Cache中找到页表内容

C. TLB 缺失会导致程序执行出错，但是Cache 缺失不会

D. TLB和Cache的命中率都与程序的访存模式有关

15. 下列有关RAM和ROM的叙述中，正确的是

I. RAM是易失性存储器，ROM是非易失性存储器

II. RAM和ROM都采用随机存取方式进行信息访问

III. RAM和ROM都可用作Cache

IV. RAM和ROM都需要进行刷新

A. 仅I和II B. 仅II和III C. 仅I、II和IV D. 仅II、III和IV

16. 相对于微程序控制器，硬布线控制器的特点是

A. 指令执行速度慢，指令功能的修改和扩展容易

B. 指令执行速度慢，指令功能的修改和扩展难

C. 指令执行速度快，指令功能的修改和扩展容易

D. 指令执行速度快，指令功能的修改和扩展难

17. 下列关于中断I/O方式和DMA方式比较的叙述中，错误的是

A. 中断I/O方式请求的是CPU处理时间，DMA方式请求的是总线使用权

B. 中断响应发生在一条指令执行结束后，DMA响应发生在一个总线事务完成后

C. 中断I/O方式下数据传送通过软件完成，DMA方式下数据传送由硬件完成

D. 中断I/O方式适用于所有外部设备，DMA方式仅适用于快速外部设备

18．假设某计算机按字编址，Cache 有 4 个行，Cache 和主存之间交换的块为 1 个字。若 Cache 的内容初始为空, 采用 2 路组相联映射方式和 LRU 替换算法。当访问的主存地址依次为 0,4,8,2,0,6,8,6,4,8 时，命中 Cache 的次数是

A. 1 B. 2 C. 3 D. 4

19. 某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有 33 个微命令，构成 5 个互斥类，分别包含 7、3、12、5 和 6 个微命令，则操作控制字段至少有

A. 5 位 B. 6 位 C. 15 位 D. 33 位

20. 下列选项中，在 I/O 总线的数据线上传输的信息包括

I. I/O 接口中的命令字 II. I/O 接口中的状态字 III.中断类型号

A. 仅 I、II B. 仅 I、III C. 仅 II、I1II D. I、II、III

三、判断题。

1. 直接映射的Cache可以使用LRU或FIFO的替换方式。

2. 动态预测可以增加Cache命中率。

3. 段式虚存中的段表存有段长信息，可以检查是否访问地址越界。

4. 加减交替法可以实现一位原码除法，比恢复余数法硬件实现简单。

5. 分页系统中增加TLB可以提高命中率。

6. 容量为128字节、采用直接映射方式Cache的缺失率和容量为64字节、采用2路组相联映射方式Cache的缺失率相当。

7. 奇偶校检可以发现并纠正一位错误。

8. 硬盘不同的磁记录方式对于存储容量没有影响。

9. FLASH和SRAM一样都是电易失性存储器。

10. DMA可以提高硬盘到内存的载入速率。

四、简答题。

1. 数据旁路的含义和目的？

2. 什么是总线？总线仲裁是什么？总线仲裁的两种方式为？

3. 什么是流水线中的结构冲突？MIPS中在哪些流水阶段中会发生结构冲突？对应的解决途径都有哪些？

4. 除了采用高速芯片外，分别指出存储器、运算器、控制器和I/O 系统各自可采用什么方法提高机器速度，各举一例简要说明。

5. 在DMA 方式中，CPU 和DMA 接口分时使用主存有几种方法？简要说明其原理和特点。

6. 指令和数据均存放在内存中，计算机如何从时间和空间上区分它们是指令还是数据？

7. 请说明指令周期、机器周期、时钟周期之间的关系。

五、综合分析题。

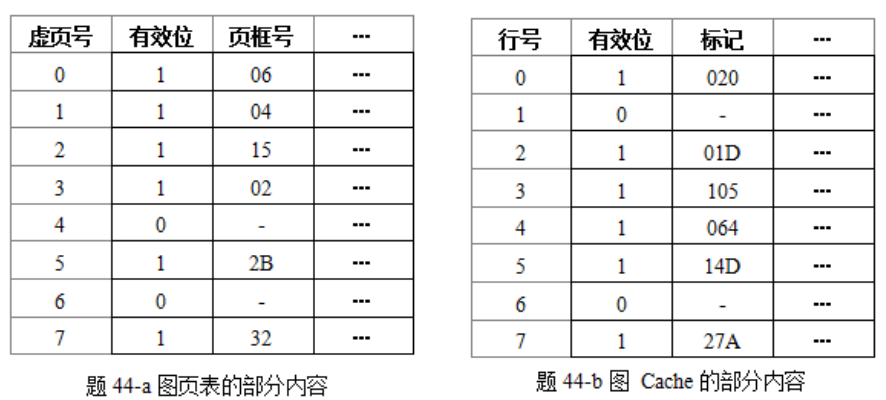
1. 硬盘的寻道时间是8ms，转速为7200RPM，传输速率5MB/s，每个磁道有64个盘区，每个盘区大小512字节，控制器延迟为1.5ms。求：

(1) 读单盘区的时间；

(2) 读连续的8KB的时间；

(3) 假如我们有4个磁盘能并行的读出数据，那么读取32KB需要多少时间？

2. 某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为 16MB，主存（物理）地址空间大小为 1MB，页面大小为 4KB；Cache 采用直接映射方式，共 8 行；主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和 Cache 的部分内容分别如题 44-a 图、题 44-b 图所示，图中页框号及标记字段的内容为十六进制形式。请回答下列问题。



(1) 虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号（物理页号）？

(2) 使用物理地址访问 Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。

(3) 虚拟地址 001C60H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的 物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。

 (4) 假定为该机配置一个 4路组相联的 TLB 共可存放 8个页表项，若其当前内容（十六进制）如题 44-c图所示，则此时虚拟地址 024BACH所在的页面是否存在主存中？要求说明理由。

题 44-c 图 TLB 的部分内容

3. 某计算机的主存地址空间大小为256 MB，按字节编址。指令Cache和数据Cache分离，均有8个Cache行，每个Cache行大小为64 B，数据Cache采用直接映射方式。现有两个功能相同的程序A和B，其伪代码如下所示：

|  |  |
| --- | --- |
| 程序A：  int a [256][256];  …  int sum\_array1()  {  int i, j, sum = 0;  for (i = 0; i < 256; i++)  for (j = 0; j < 256; j++)  sum += a[i][j];  return sum;  } | 程序B：  int a [256][256];  …  int sum\_array2()  {  int i, j, sum = 0;  for (j = 0; j < 256; j++)  for (i = 0; i < 256; i++)  sum += a[i][j];  return sum;  } |

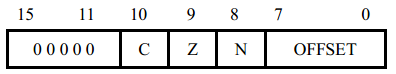
假定int类型数据用32位补码表示，程序编译时i, j, sum均分配在寄存器中，数组a按行优先方式存放，其首地址为320（十进制数）。请回答下列问题，要求说明理由或给出计算过程。

（1）若不考虑用于Cache一致性维护和替换算法的控制位，则数据Cache的总容量为多少？

（2）数组元素a[0][31]和a[1][1]各自所在的主存块对应的Cache行号分别是多少（Cache行号从0开始）？

（3）程序A和B的数据访问命中率各是多少？哪个程序的执行时间更短？

4. 某计算机采用16位定长指令字格式，其CPU中有一个标志寄存器，其中包含进位/借位标志CF、零标志ZF和符号标志NF。假定为该机设计了条件转移指令，其格式如下：



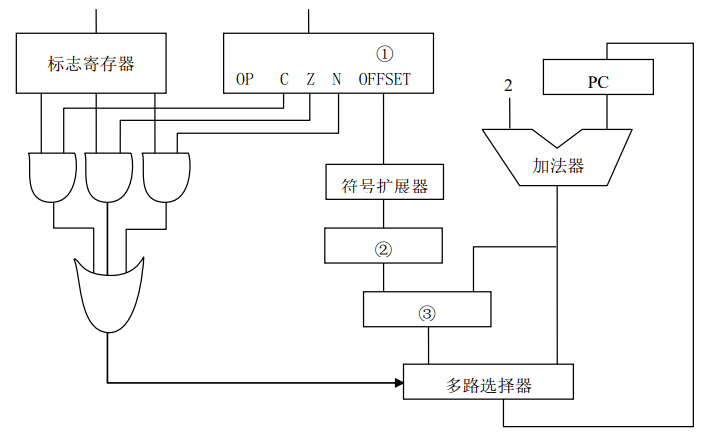
其中，00000为操作码OP；C、Z和N分别为CF、ZF和NF的对应检测位，某检测位为1 时表示需检测对应标志，需检测的标志位中只要有一个为1 就转移，否则不转移，例如，若C=1，Z=0，N=1，则需检测CF和NF的值，当CF=1或NF=1时发生转移；OFFSET是相对偏移量，用补码表示。转移执行时，转移目标地址为PC+2+2×OFFSET；顺序执行时，下条指令地址为PC+2。请回答下列问题。

（1）该计算机存储器按字节编址还是按字编址？该条件转移指令向后最多可跳转多少条指令？

（2）某条件转移指令的地址为200CH，指令内容为00000 011 11100011，若该指令执行时CF=0，ZF=0，NF=1，则该指令执行后PC的值是多少？若该指令执行时CF=1，ZF=0，NF=0，则该指令执行后PC的值又是多少？请给出计算过程。

（3）实现“无符号数比较小于等于时转移”功能的指令中，C、Z和N应各是什么？

（4）以下是该指令对应的数据通路示意图，要求给出图中部件①~③的名称或功能说明。



5. 某 16 位计算机中，带符号整数用补码表示，数据 Cache 和指令 Cache 分离。题 44 表给出了指令系统中部分指令格式，其中 Rs 和 Rd 表示寄存器，mem 表示存储单元地址，（x）表示寄存器 x 或存储单元 x 的内容。

题 44 表：指令系统中部分指令格式

|  |  |  |
| --- | --- | --- |
| 名称 | 指令的汇编格式 | 指令功能 |
| 加法指令 | ADD Rs, Rd | (Rs)+(Rd)->Rd |
| 算术/逻辑左移 | SHL Rd | 2\*(Rd)->Rd |
| 算术右移 | SHR Rd | (Rd)/2->Rd |
| 取数指令 | LOAD Rd, mem | (mem)->Rd |
| 存数指令 | STORE Rs, mem | Rs->(mem) |

该计算机采用5段流水方式执行指令，各流水段分别是取指（IF）、译码/读寄存器（ID）、执行/计算有效地址（EX）、访问存储器（M）和结果写回寄存器（WB），流水线采用“按序发射，按序完成”方式，没有采用转发技术处理数据相关，并且同一寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题。

（1）若 int 型变量 x 的值为-513，存放在寄存器 R1 中，则执行“SHL R1”后，R1 中的内容是多少？（用十六进制表示）

（2）若在某个时间段中，有连续的 4 条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这 4 条指令所需的时钟周期数为多少？

（3）若高级语言程序中某赋值语句为 x=a+b，x、a 和 b 均为 int 型变量，它们的存储单元地址分别表示为[x]、[a]和[b]。该语句对应的指令序列及其在指令流中的执行过程如题 44 图所示。

I1 LOAD R1, [a]

I2 LOAD R2, [b]

I1 ADD R1, R2

I2 STORE R2, [x]

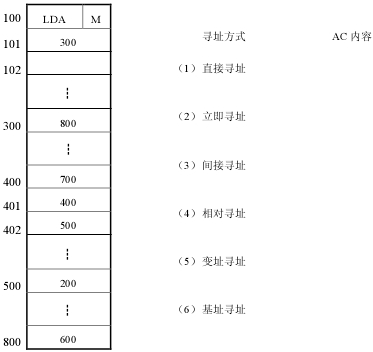


题 44 图 指令序列及其执行过程示意图

请解释为什么I3 的 ID 段被阻塞？为什么I4 的 IF 段被阻塞？

（4）若高级语言程序中某赋值语句为 x=x\*2+a，x 和 a 均为 unsigned int 类型变量，它们的存储单元地址分别表示为[x]、[a]，则执行这条语句至少需要多少个时钟周期？要求模仿题 44 图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

6. 一条双字长的取数指令(LDA)存于[存储](http://www.educity.cn/incsearch/search.asp?key=%B4%E6%B4%A2)器的100 和101 单元，其中第一个字为操作码和寻址特征M，第二个字为形式地址。假设PC 当前值为100，变址寄存器XR 的内容为100，基址寄存器的内容为200，存储器各单元的内容如下图所示。写出在下列寻址方式中，取数指令执行结束后，累加器AC 的内容。



7. 假定有两个用来存储10TB数据的RAID系统。系统A使用RAID1技术，系统B使用RAID5技术。

（1）系统A需要比系统B多用多少存储量？

（2） 假定一个应用需要向磁盘写入一块数据，若磁盘读或写一块数据的时间为30ms，则最坏情况下，在系统A和系统B上写入一块数据分别需要多长时间？

（3）那个系统更可靠？为什么？

8. 若某计算机有5级中断，中断响应优先级为1>2>3>4>5，而中断处理优先级为1>4>5>2>3。要求：

（1）设计各级中断处理程序的中断屏蔽位（假设1为屏蔽，0为开放）；

（2）若在运行主程序时，同时出现第2、4级中断请求，而在处理第2级中断过程中，又同时出现1、3、5级中断请求，试分析此程序的运行过程。